

2007 年度 科学技術共同研究センター 研究プロジェクト実績報告書

課 題	薄膜トランジスタによるデバイスレベルのニューラルネットワークの研究開発 (2 年計画の 2 年目)
研究組織	木村 睦 (理工学部・准教授) 研究代表者 小淵 洋一 (理工学部・教授) 浦岡 行治 (奈良先端科学技術大学院大学物質創成科学研究科・准教授) 井上 聡 (セイコーエプソン株式会社フロンティアデバイス研究所・所長)

1 . 研究発表

- (1) Takashi Aoki, Soichi Moriya, Tsutomu Miyamoto, Hideyuki. Kawai, Tomoya Okumura, Yuki Ueda and Mutsumi Kimura, Analysis of Actual Results of Semiconductor Layer Thickness Dependence in Organic TFT using Device Simulation, 薄膜材料デバイス研究会 第 4 回研究集会 プロシーディングス、出版予定
- (2) Tomoya Okumura, Yuki Ueda, Mutsumi Kimura, Junichi Karasawa, Takashi Aoki and Soichi Moriya, Extraction Technique of Trap Density at Insulator Interface and in Semiconductor Film of Organic TFT from C-V Characteristic, 薄膜材料デバイス研究会 第 4 回研究集会 プロシーディングス、出版予定
- (3) Takehiko Yamashita, Takehiro Shima, Yoshitaka Nishizaki, Mutsumi Kimura, Hiroyuki Hara and Satoshi Inoue, Evaluation of Thin-Film Photodiodes and Development of Thin-Film Phototransistor, Jpn. J. Appl. Phys. Vol. 47, No. 3B, To be published, 2008
- (4) Mutsumi Kimura, Takehiro Shima, Takehiko Yamashita, Yoshitaka Nishizaki, Hiroyuki Hara and Satoshi Inoue, Evaluation of Thin-Film Photodevices and Application to Artificial Retina, J. SID, To be published
- (5) 木村 睦, 多結晶シリコン薄膜トランジスタのデバイス物理・デバイス評価, 2008 年 (平成 20 年) 春季 第 55 回応用物理学関係連合講演会 シンポジウム 講演予定 (Invited)
- (6) 中西 孝、木村 睦、野村 研二、神谷 利夫、細野 秀雄, アモルファス In-Ga-Zn-O 薄膜トランジスタの電気特性解析とトラップ密度の抽出, 2008 年(平成 20 年)春季 第 55 回応用物理学関係連合講演会 講演予定
- (7) 西口 眞敬、大井 秀夫、木村 睦, Poly-Si TFT によるアクティブマトリクス駆動の 3 次元過渡デバイスシミュレーション, 2008 年 (平成 20 年) 春季 第 55 回応用物理学関係連合講演会 講演予定
- (8) 平子 正明、山岡 俊文、谷 智之、木村 睦, Poly-Si Hall 素子のデバイスシミュレーションと磁場測定, 2008 年(平成 20 年)春季 第 55 回応用物理学関係連合講演会 講演予定
- (9) 木村 睦, 不可能を可能にする医学! 2008 最新版 あなたの知っている治療法はもう古い!?, 日本テレビ 世界一受けたい授業 2008 年 3 月 15 日
- (10) Mutsumi Kimura, Device Simulation of Carrier Transport Parallel, Oblique and Perpendicular to Grain Boundaries in Doped Poly-Si Film, Proc. IDW '07, Vol. 1, pp. 1983-1984, Dec. 2007
- (11) Mutsumi Kimura and Takuya Tsujino, Determination of Capture Cross-Section of Trap States from On- and Off-Current Characteristic for Poly-Si TFTs, Proc. IDW '07, Vol. 1, pp. 1841-1844, Dec. 2007
- (12) Yoshitaka Nishizaki, Takehiko Yamashita, Takehiro Shima, Mutsumi Kimura, Hiroyuki Hara and Satoshi Inoue, Behavior Characterization of p/i/n Thin-Film Phototransistor, Proc. IDW '07, Vol. 1, pp. 107-110, Dec. 2007
- (13) Mutsu Lab, Applications of TFT other than LCD = TFT の LCD 以外への応用 =,

IDW '07 Exhibition, Dec. 2007

- (1 4) 大井 秀夫、木村 睦、鈴木 洋一、石川 省吾、梅澤 浩光、高木 宏幸、金 周映、内田 裕久、井上 光輝, 磁気光学空間光変調器の Poly-Si TFT によるアクティブマトリクス駆動の動作検討, 電子情報通信学会 技術研究報告、SDM2007-237、pp. 63-66、2007 年 12 月
- (1 5) 小野寺 亮、笠川 知洋、小嶋 明樹、木村 睦、原 弘幸、井上 聡, Poly-Si TFT を用いたデバイスレベルのニューラルネットワーク, 電子情報通信学会 技術研究報告、SDM2007-235、pp. 55-58、2007 年 12 月
- (1 6) Mutsumi Kimura, Shigeki Sawamura, Masakazu Kato, Yuji Hara, Daisuke Suzuki, Hiroyuki Hara and Satoshi Inoue, Pulse-Width Modulation with Current Uniformization for TFT-OLEDs, IEICE Trans. Electron. Vol. E90-C, No. 11, pp. 2076-2082, Nov. 2007
- (1 7) 木村 睦, IMID 2007 報告 Active-Matrix Devices / OLED Displays / Novel and Future Displays, 電子情報通信学会 技術研究報告、EID2007-55、pp. 5-8、2007 年 11 月 (Invited)
- (1 8) Mutsumi Kimura, Yoshitaka Nishizaki, Takehiko Yamashita, Takehiro Shima, Development of p/i/n Thin-film Phototransistor and Application to Artificial Retina, 2007 KHU Fall Workshop, Nov. 2007 (Invited)
- (1 9) 鈴木 洋一、石川 省吾、梅澤 浩光、大井 秀夫、木村 睦、内田 裕久、井上 光輝, 磁気光学空間光変調器に用いる PZT 上の TFT の作製, 薄膜材料デバイス研究会 第 4 回研究集会 アブストラクト集、pp. 216、2007 年 11 月
- (2 0) 奥村 友也、上田 勇気、木村 睦、柄澤 潤一、青木 敬、守谷 壮一, 有機薄膜トランジスタの CV 測定による特性解析, 薄膜材料デバイス研究会 第 4 回研究集会 アブストラクト集、pp. 204、2007 年 11 月
- (2 1) 瀬津 光司、木村 睦, Poly-Si TFT によるオペアンプ回路の動作評価, 薄膜材料デバイス研究会 第 4 回研究集会 アブストラクト集、pp. 116、2007 年 11 月
- (2 2) 木村 睦, ドープ poly-Si 薄膜の結晶粒界に平行・傾斜・垂直なキャリア輸送のデバイスシミュレーション, 薄膜材料デバイス研究会 第 4 回研究集会 アブストラクト集、pp. 114、2007 年 11 月
- (2 3) 笠川 知洋、小野寺 亮、小嶋 明樹、木村 睦、原 弘幸、井上 聡, Poly-Si TFT によるデバイスレベルのニューラルネットワーク, 薄膜材料デバイス研究会 第 4 回研究集会 アブストラクト集、pp. 63、2007 年 11 月
- (2 4) 青木 敬、守谷 壮一、宮本 勉、川居 秀幸、奥村 友也、上田 勇気、木村 睦, 有機トランジスタの半導体膜厚依存性の実測結果のデバイスシミュレーションによる解析, 薄膜材料デバイス研究会 第 4 回研究集会 アブストラクト集、pp. 26、2007 年 11 月
- (2 5) 木村 睦, ディスプレイ技術を人工網膜へ, ニュートンプレス ニュートン 2007 年 12 月号, pp. 15, 2007 年 10 月
- (2 6) 木村 睦, 人工網膜、曲面に作製可能, 日本経済新聞 2007 年 9 月 7 日
- (2 7) Mutsumi Kimura, Takehiro Shima, Takehiko Yamashita, Yoshitaka Nishizaki and Hiroyuki Hara, Evaluation of Thin-Film Photodevices and Development of Artificial Retina, IMID 2007, 1745, Aug. 2007 (Invited)
- (2 8) Mutsumi Kimura, Takehiro Shima, Takehiko Yamashita, Yoshitaka Nishizaki, Hiroyuki Hara and Satoshi Inoue, Artificial Retina using Poly-Si Thin-Film Photodevice and Poly-Si Thin-Film Transistor, IDMC '07, 191, July 2007 (Invited)
- (2 9) Takehiko Yamashita, Takehiro Shima, Yoshitaka Nishizaki, Mutsumi Kimura and Hiroyuki Hara, Evaluation of Thin-Film Photodiodes and Development of Thin-Film Phototransistor, Dig. AM-FPD '07, pp. 219-222, Jul. 2007
- (3 0) Kuniaki Matsuki, Ryusuke Saito, Shuji Tsukamoto, Mutsumi Kimura, Yuta Sugawara and Yukiharu Uraoka, Analysis of Laser Crystallization of Double-Layered poly-Si Thin Films using Process Simulation of Laser

- Crystallization, Dig. AM-FPD '07, pp. 199-200, Jul. 2007
- (3 1) Takuya Tsujino and Mutsumi Kimura, Mechanism Analysis of Off Current in Poly-Si TFTs by Using Device Simulation and Evaluating Temperature Dependence, Dig. AM-FPD '07, pp. 175-178, Jul. 2007
 - (3 2) Mutsumi Kimura, Shigeki Sawamura, Takehiro Shima and Takehiko Yamashita, Smart pixel - Advanced function in pixel area by thin-film transistor -, IMFEDK '07, 33, April. 2007 (Invited)
 - (3 3) Y. Kobuchi, Strategies for Iterated Prisoner ' s Dilemma Game, 19th International Conference on Systems Research Informatics and Cybernetics, Jul. 2007
 - (3 4) S. Hashimoto, Y. Uraoka, et al., Suppression of Self-Heating in Low-Temperature Polycrystalline Silicon Thin Film Transistors, Jpn. J. Appl. Phys. Vol. 46, No. 4A, pp. 1387-1391, 2007
 - (3 5) S. Hashimoto, Y. Uraoka, et al., Thermal Degradation under Pulse Operation in Low-Temperature P-channel Poly-Si Thin Film Transistors, IEEE Trans. Electron Devices Vol. 54, No. 2, pp. 297-300, 2007
 - (3 6) H. Ueno, Y. Uraoka, et al., Reliability Analysis of Ultra-Low-Temperature Poly-Si Thin Film Transistors, Jpn. J. Appl. Phys. Vol. 46, No. 3B, pp. 1303-1307, 2007
 - (3 7) Y. Sugawara, Y. Uraoka, et al., Crystallization of Double-Layered Silicon Thin Films by Solid Green Laser Annealing, Jpn. J. Appl. Phys. Lett Vol. 46, No. 8, pp. L164-L166, 2007
 - (3 8) Y. Sugawara, Y. Uraoka, et al., Crystallization of Double-Layered Silicon Thin Films by Solid Green Laser Annealing for High Performance Thin Film Transistors, IEEE Electron Device Lett. Vol. 28, No. 5, pp. 395, 2007
 - (3 9) H. Ueno, Y. Uraoka, et al., Reliability of Low Temperature Poly-Si Thin Film Transistors with Ultrathin Gate Oxide, Jpn. J. Appl. Phys. Vol. 46, No. 7A, 2007
 - (4 0) K. Ichikawa, Y. Uraoka, et al., Low Temperature Poly-Si Thin Film Transistors Flash Memory with Si Nanocrystal Dot, Jpn. J. Appl. Phys. Lett. Vol. 46, No. 27, pp. L661-L663, 2007
 - (4 1) K. Yamada, Y. Uraoka, et al., Effects of Dot Density and Dot Size on Charge Injection Characteristics in Nanodot Array Produced by Protein Supramolecules, Jpn J. Appl. Phys. Vol. 46, No. 11, 2007
 - (4 2) A. Miura, Y. Uraoka, et al., Bionanodot Monolayer Array Fabrication for Nonvolatile Memory Application, Surface Science Letters 601, pp. L81-L85, 2007
 - (4 3) K. Ichikawa, Y. Uraoka, et al., Low-Temperature Poly-Si TFT Flash Memory with Ferritin, Jpn. J. Appl. Phys. Vol. 46, No. 34, pp. L804-L806, 2007
 - (4 4) S. Yamamoto, Y. Uraoka, et al., Surface Potential Difference of Biomaterialized Inorganic nanodot by Kelvin Force Microscopy, Jpn. J. Appl. Phys. Vol. 46, No.8B, pp. 5647-5651, 2007

2 . 2007 年度の研究計画

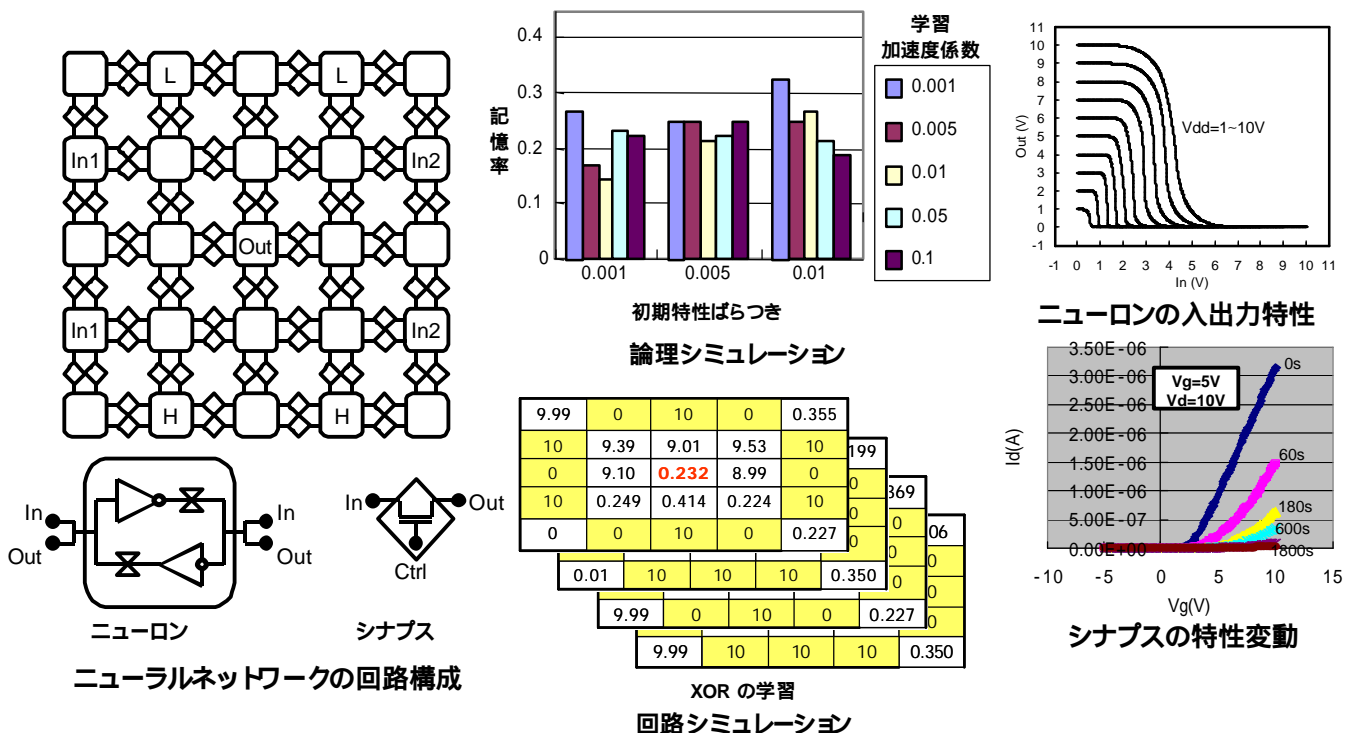
現在、薄膜トランジスタ (TFT) は、フラットパネルディスプレイ・エリアセンサーなどに広く用いられており、また、最近は、より高性能な低温多結晶シリコン薄膜トランジスタ (poly-Si TFT) の研究開発がさかんで、システムオンパネル (SOP) を実現する新規機能デバイスとして期待されている。さらに、将来は、高性能・高集積性・基板自由度・高生産性・低環境負荷・低コストなどを生かして、これからのエレクトロニクスの一躍を担う革新的電子デバイスのひとつとして囑望されている¹⁾。poly-Si TFT の特徴のひとつとして、低温で成膜された薄膜であるため材料構造が緻密ではなく、経時的に特性変動しやすいことが挙げられる。この特徴は、従来は解決すべき課題として、その低減方法が検討されつづけている。

一方、ニューラルネットワークは、従来のノイマン型情報処理とは全く異なるアーキテクチャで、元来は生体の神経回路を起源とする。ニューロンという入力素子が、シナプスという接続強度可変素子によって接続され、ネットワークを形成する。並列分散処理・パターン認識能力・ロバスト性・自己学習能力などの特長をもち、工業応用もすすみつつあり、将来は人工知能や高機能制御などに期待されている。従来のニューラルネットワークは、主にソフトウェアによるエミュレータレベルにより実現されたものであるが、ハードウェアであってもASIC やオペアンプなどを含む複雑な回路レベルで実現されたものであった²⁾。これは、原理解析には便利であるが、実際にニューラルネットワークを作製するうえでは、巨大な構造が必要とされるという課題がある。

本プロジェクトでは、poly-Si TFT によるデバイスレベルのニューラルネットワークの研究開発を行う。ごく少数の poly-Si TFT によりニューロンやシナプスの機能を実現し、実際に大規模なニューラルネットワークを作製するうえでも、実現可能規模な構造が得られるようにする。ここで、poly-Si TFT の特性変動を用いて、シナプスの接続強度可変機能を実現するのがポイントである。また、poly-Si TFT による 3 次元 LSI も提案されており³⁾、超高集積度のニューラルネットワークの可能性を拓くものである。本プロジェクトの目標は、poly-Si TFT によるニューラルネットワークの動作原理の構築と小規模ニューラルネットワークの試作・動作確認であるが、最終的な到達目標は、poly-Si TFT による超高集積度のニューラルネットワークの開発であり、夢はさらに超大規模・超高集積度の完全自己学習型の人工知能の実現である。

本プロジェクトでは、まず、木村が小淵とともに、ニューラルネットワーク動作を実現する回路構成・アルゴリズムの構築を図る。同時に、浦岡が、poly-Si TFT の特性変動を解析し、系統的で必要十分なデータを収集する。次に、木村が、シナプスの poly-Si TFT の特性変動が適切になるような設計最適化、ニューロンとシナプスの設計整合化を検討し、アナログ動作を考慮した回路シミュレーションによる動作確認を行う。そして、木村が、素子レイアウト設計を行い、井上が、流動試作を行い、ふたたび、木村が、実際の動作確認を行う。

本プロジェクトの 2006 年度は、ほぼ計画どおり進捗した。まず、ニューラルネットワーク動作を実現する回路構成を考案し、論理シミュレーションと回路シミュレーションにより、Hebb の学習則にしたがい動作することを確認した。次に、実際の poly-Si TFT からなるニューロンの入出力特性を測定したところ、シグモイド関数と類似の入出力特性が得られ、ニューロンの機能を実現できることを確認した。また、実際の poly-Si TFT の特性変動を解析し、シナプスの特性変動が適切になるような設計条件・駆動条件を見出した。さらに、既に poly-Si TFT からなる小規模ニューラルネットワークを完成した。2007 年度の研究計画は、これを詳細に評価することである。この小規模ニューラルネットワ



ークの動作確認に成功すれば、世界初の薄膜トランジスタによるデバイスレベルのニューラルネットワークの開発となる。

- 1) M. Kimura, AM-LCD '05, 323 (2005)
- 2) 甘利俊一, 脳型コンピュータの実現に向けて, サイエンス社
- 3) M. Kimura, AWAD 2002, 169

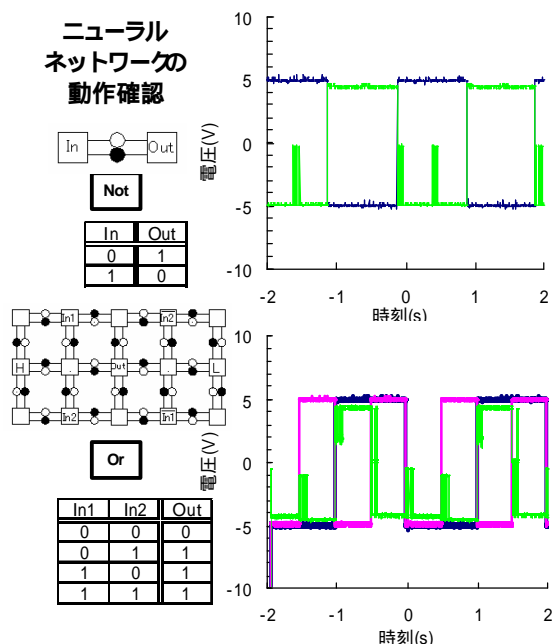
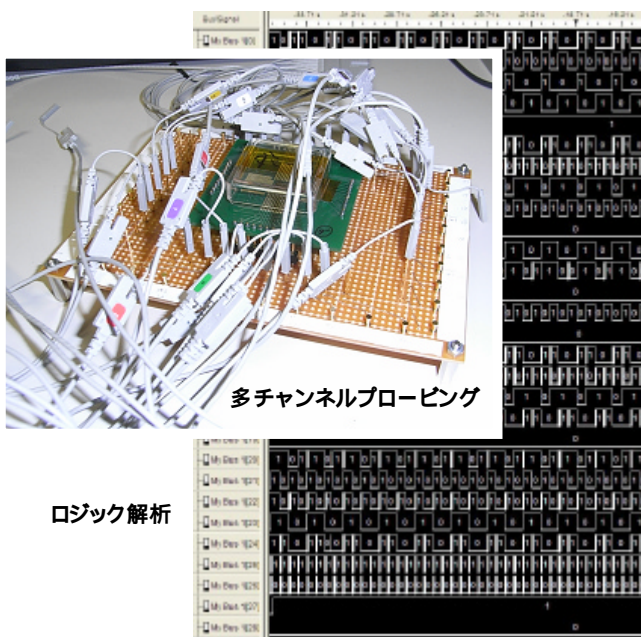
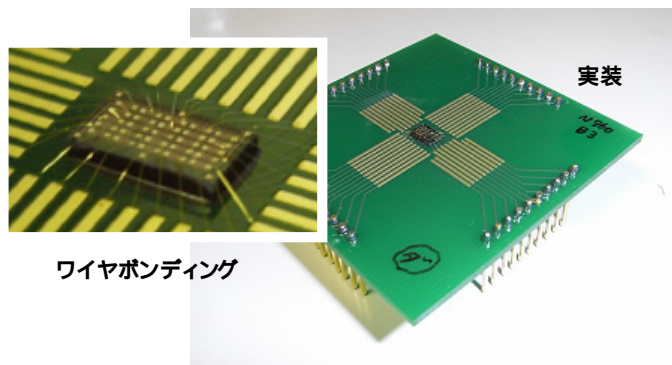
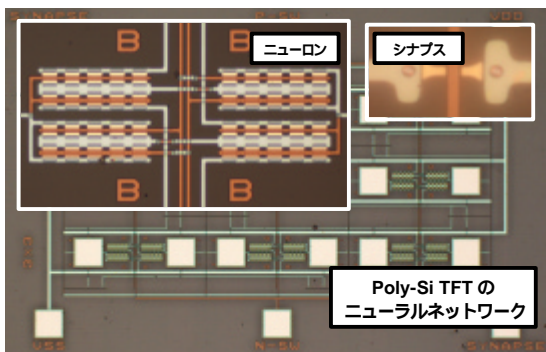
3 . 研究実績の概要 (研究経過と成果)

実際に、poly-Si TFT からなる小規模ニューラルネットワークに、否定 (Not) と論理和 (Or) の繰返学習をさせたところ、それぞれ Not と Or として動作するようになることを確認した。これは、世界初の薄膜トランジスタによるデバイスレベルのニューラルネットワークの開発である。

まず、poly-Si TFT からなる小規模ニューラルネットワークに、評価のためのワイヤボンディングをほどこし、プリント基板に実装した。これをさらにユニバーサル基板に装着し、多チャンネルプローピングによりリアルタイムに各ニューロンの状態をロジック解析しながら、繰返学習をさせた。

Not の場合は、簡便に、2x1 のニューラルネットワークを用いて、片側の端子を In 端子、もう片側の端子を Out 端子と想定した。In 端子に電圧の High-Low を印加し、Out 端子にも Not に対応した電圧の High-Low を印加し、数十秒から数分のあいだ繰返動作をさせる。やがて、In 端子に High-Low を印加すると、Out 端子から Not に対応した High-Low が自然と発生することを確認した。これは、このニューラルネットワークが、Not を学習したことを意味する。

Or の場合は、少し複雑に、5x3 のニューラルネットワークを用いて、ある端子を In1 端子、ほかの端



子をIn2 端子、さらにほかの端子をOut 端子と想定し、適宜に反転入力も設定した。In1 端子とIn2 端子に電圧のHigh-Low を印加し、Out 端子にもOr に対応した電圧のHigh-Low を印加し、数十秒から数分のあいだ繰返動作をさせる。やがて、In1 端子とIn2 端子にHigh-Low を印加すると、Out 端子からOr に対応したHigh-Low が自然と発生することを確認した。これは、このニューラルネットワークが、Or を学習したことを意味する。

今後は、線形分離不可でニューラルネットワークの実力評価にしばしば用いられるXOR の学習をはじめとして、さらに複雑な論理の学習を試みる。また、リアルタイムな各ニューロンの状態のロジック解析などにより、学習過程の解析を行うとともに、シナプスの特性変動についての知見を充実させ、より効率的で確実な学習方式についての提案を行ってゆきたい。

4 . 本研究課題のキーワード

- | | |
|-------------------|-------------------|
| (1) 薄膜トランジスタ | (2) ニューラルネットワーク |
| (3) poly-Si TFT | (4) ニューロン |
| (5) シナプス | (6) 自己学習 |
| (7) 人工知能 | (8) 特性変動 |